

Tech Idea Co., Ltd.,

株式会社 テックアイデアのご紹介

2018年5月

・設立の目的

無線通信システム、各種センサーシステム、IoT など、今後の社会を牽引する電子システムにはアナログ集積回路やアナログ・デジタル混載集積回路が欠かせません。しかしながら、これらの回路の開発には深い理論的な裏付けと豊富な経験が必要です。したがって大きなメーカーといえども十分な技術と技術者を有しているとは限らず、開発に支障をきたしているのが実態です。テックイデアは上記技術の研究開発を行っている東京工業大学 工学院 電気電子系の松澤・岡田研究室で開発した技術を社会に役立てるために、平成22年に松澤教授により創設された東工大発ベンチャー企業の認定を受けた会社です。

当初は、無線通信機メーカーの専用 ASIC に搭載する無線通信用 A/D・D/A 変換器の開発を行いました。また、半導体メーカー数社に 12bit SAR ADC 回路のリリースを行いました。昨年度は 60GHz 帯ミリ波 CMOS トランシーバ用の帯域約 1GHz のアナログフロントエンド (Filter, VGA, ADC, DAC) の開発や、アナログ出力の超小型 CMOS イメージセンサーチップの開発を行いました。

これまでは、大学教員の兼業の制約があり、開発案件が発生したときに技術者をパートタイム社員として雇用して各種回路を開発してまいりましたが、本年度からは創業者の松澤が本年3月に東工大を定年退職したことに伴い、テックイデアの経営に専念できるようになったこともあり、常勤社員3名、非常勤社員3名と開発体制が整ってきました。また、JR 南武線の宿河原駅の近くにオフィスを構え、会社としての陣容を整えつつあります。

・注力する技術分野

- ・超高速無線チップのアナログベースバンド回路
- ・CMOS イメージセンサー
- ・磁気センサーなどの IoT 用各種センサーシステム
- ・コア IP 開発 (ADC, DAC, Filter, PLL, 基準電圧源, LDO, スイッチング電源など)
- ・電氣的モデリング (MATLAB+Simlink や Verilog-A ベース)

アナログ回路やアナログ・デジタル混載集積回路に関して幅広く開発をいたしますが、これまでの技術開発をベースにして上記分野の開発に注力いたしたいと考えております。

・保有する技術

次ページに特徴技術のやや詳細な説明をいたしますが、ミリ波チップの開発で培った 1GHz を超える信号帯域に対するアナログベースバンド回路開発は日本では唯一我々だけが開発経験と技術を有すると自負しております。また、低消費エネルギーでかつ低ノイズの

世界最高レベルの性能の各種 A/D 変換器のコア技術を有しています。この A/D 変換器はイメージセンサーのみならず、IoT 用各種センサーシステムの低消費電力化、低ノイズ・高感度化に欠かせないものになるでしょう。

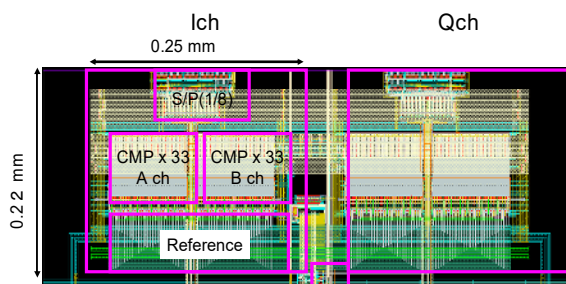
また、当社は複数本のケーデンス社の統合的な IC 設計ツールと設計用サーバーを有しており、TSMC 28nm CMOS までの回路設計、レイアウト設計の経験に基づき、一貫した高性能アナログ集積回路やアナログ・デジタル混載集積回路開発の能力を有しております。

・代表的な IP 開発例

1. 広帯域無線通信用 A/D 変換器

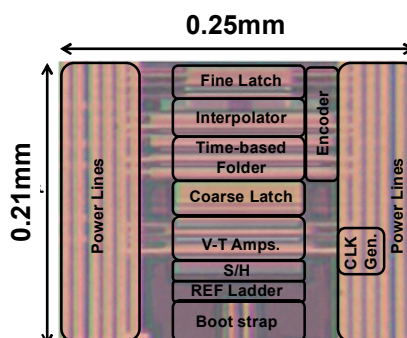
ミリ波無線通信に使用される信号帯域 200MHz~1GHz のアナログベースバンド信号用 A/D 変換器です。総務省のミリ波プロジェクトで開発した実働するチップに用いられています。

- 1) Flash ADC
- 5bit 2.3GS/s 12mW
- TSMC 40nm CMOS



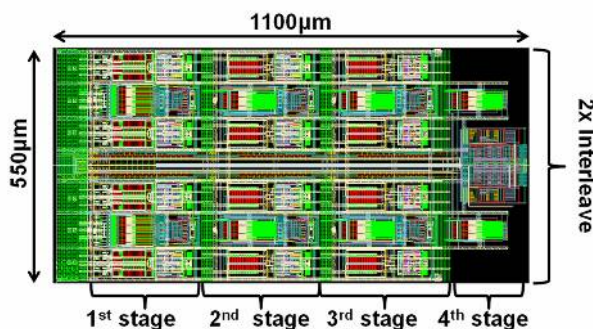
Time-base folding and interpolation ADC

- 7bit 2.3GS/s 27mW
- TSMC 40nm CMOS



- 2) Interpolated pipeline ADC

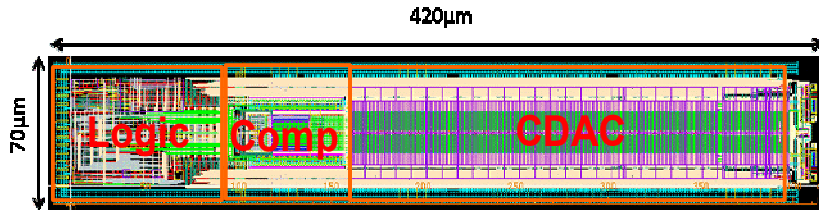
- 12bit 800MS/s 80mW
- TSMC 65nm CMOS



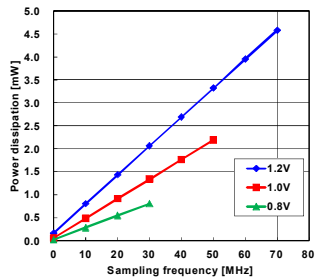
2. SAR ADC

SAR ADC (逐次比較型 A/D 変換器) は最も低エネルギーな A/D 変換器としてセンサー用途を中心に広く用いられております。当社では 12bit ADC に不可欠な低エネルギーかつ低ノイズのダイナミック比較器や、容量 mismatch の自動補正機能、変換エラーの抑圧機能などの技術を有しており、すでに数社にコア供給を行っております。これらの技術により SAR ADC は動作クロックに比例した消費電力となりますので、低速動作の場合は極めて小さな消費電力で動作し、1kS/s ではわずか 40nW で動作します (リーク電流を除く)。

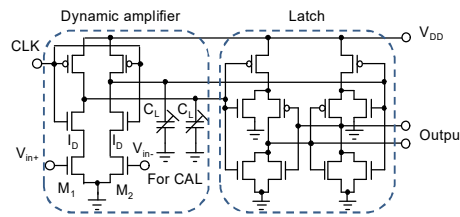
12bit 2.2mW@50MS/s
TSMC 65nm CMOS
(0.18um 版もあります)



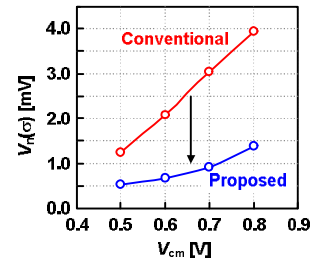
12bit SAR ADC (0.03mm²)



動作周波数と消費電力



低ノイズダイナミック比較器

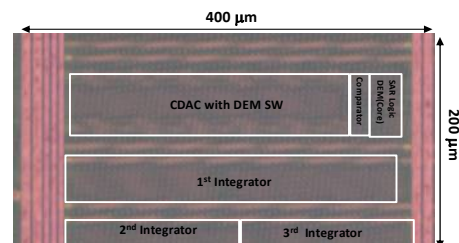


ノイズの低減効果

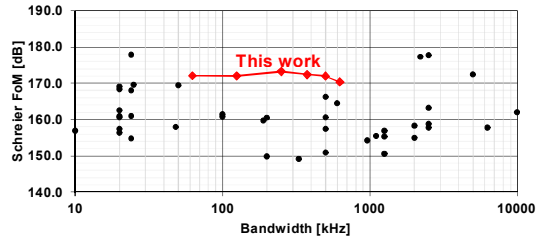
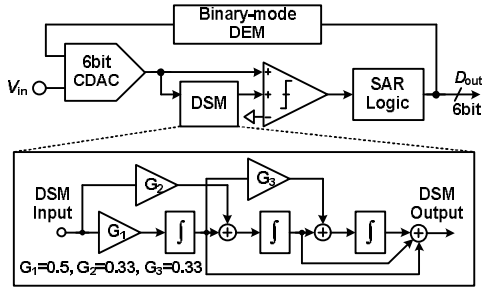
3. SAR- $\Delta\Sigma$ 型 ADC

SAR ADC は最も低エネルギーな A/D 変換器ですが、実用的な分解能が 12bit 程度であり、それ以上の分解能を低エネルギーで実現するには $\Delta\Sigma$ 変調技術が欠かせません。しかしながら、 $\Delta\Sigma$ 変調に必要な積分器はこれまで OP アンプが用いられてきたため定常電流が流れ低エネルギー動作が困難でした。そこで、当社は世界で初めて定常電流が流れないダイナミックアンプを用いて完全積分器を実現し、世界最小のエネルギー消費特性を有する高精度 A/D 変換器を実現しました。

BW=500kHz (T_s=1 μ s), SNR=81dB (33 μ V)
FoMs=171 (dB) Pd=500 μ W



BW=50kHz ($T_s=10\mu s$), SNR=84dB ($22\mu V$) $FoMs=172$ (dB) $P_d=55\mu W$, TSMC 65nm CMOS



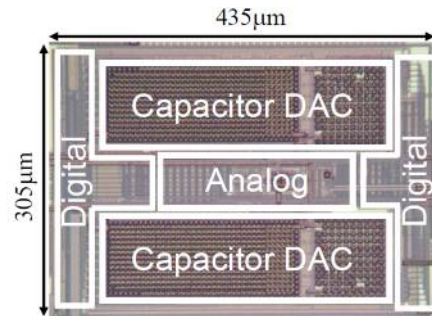
ここで, $FoM_s = SNR + 10 \log \left(\frac{BW}{P_d} \right)$ で表され, SNR

が高いほど, 帯域あたりの消費電力が小さいほど高い FoMs が得られます。この ADC は信号帯域 50kHz~500kHz において世界最高の FoMs を実現しました。

4. CDC (容量デジタル変換器)

SAR ADC の応用として CDC を構成することができます。30S/s 程度の低速動作では, わずか 3nA で動作する CDC を実現しました。

TSMC 0.18um CMOS



CDC

5. TDC (時間デジタル変換器)

同じく SAR ADC の応用として TDC を構成することができます。

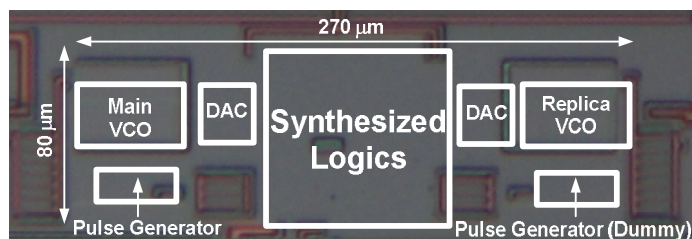
時間分解能 0.8ps, 10bit, 100Msps, の TDC は 4mW で動作し, コア面積は 0.02mm² です。TSMC 65nm CMOS



TDC

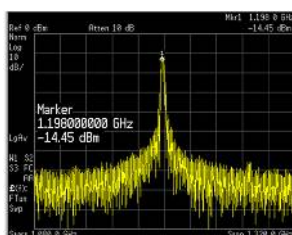
6. PLL

タイミングや周波数を作り出す PLL は無線通信や各種 LSI にとって重要な回路です。技術は従来のチャージポンプを用いたアナログ PLL からフルデジタル PLL に向かっていきます。広範囲な周波数が可能なリング発振器を用いても 1ps 以下の極めて低いジッタを実現したインジェクションロック PLL や,高精度 TDC を用いた-110db@600kHz の低位相ノイズの無線通信用 PLL など各種 PLL 技術を有しております。

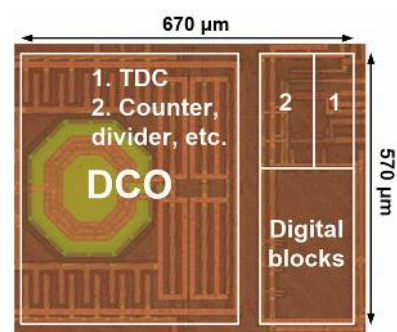
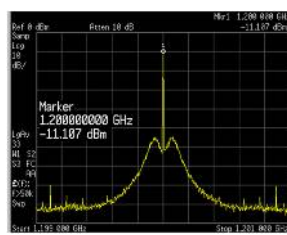


Ring VCO ベースインジェクションロック PLL

ロック前



ロック後



TDC と LC 発振器を用いた通信用 PLL

・特許出願 (テックアイデアで出願したもの、東工大での出願を除く)

- 特願 2016-135325 「積分器およびこれを用いた A/D 変換器」
- 特願 2016-235813 「A/D 変換器およびこれを用いたセンサ装置」
- 特願 2017- 50483 「A/D 変換器およびこれを用いたセンサ装置」
- 特願 2017-132491 「積分器およびこれを用いた A/D 変換器」
- 特願 2017-198051 「時間領域 A/D 変換器群およびこれを用いたセンサ装置」
- 特願 2017-218559 「A/D 変換器およびこれを用いたセンサ装置」
- 15/640,736 "INTEGRATOR AND A/D CONVERTER USING THE SAME"
- 15/831,977 "A/D CONVERTER AND SENSOR DEVICE USING THE SAME"

・連絡情報

オフィス住所：〒214-0021 川崎市多摩区宿河原 1-21-5-1

電話/FAX： 044-385-2855

携帯電話（松澤）： 090-8887-7885

電子メール： 松澤 matsu@techidea.co.jp

会社 techidea@ax.em-net.ne.jp

会社ホームページ： www.ze.em-net.ne.jp/~techidea/index/html



JR 南武線 宿河原駅からのルート

(駅を出て、右に曲がり、線路沿いの道を歩き
踏切を渡って、左に曲がり、線路沿いの小道を
来ると、右に白い一戸建てが見えるので奥の家
駅から3分程度です。)

宿河原オフィス（白い一戸建て）

メンバー

創設者 松澤 昭 (100%出資：資本金 300 万円)

役員

代表取締役社長 松澤 昭
取締役 松澤 百合子

社員

常勤

研究技師：Abdel Martinez Alonso
研究技師：余 力瀾 (Yu Lilan)
研究技師補：成 民赫 (Minhyuk Sung)

非常勤

主任研究技師：宮原正也 (高エネルギー加速器研究機構 准教授)
研究技師：李 承鍾 (Lee Seungjong : ミシガン大学 博士課程)
アドバイザー：徐祖樂 (東京大学 VDEC 講師)

代表取締役社長 松澤 昭

(詳しい CV は巻末にあります)

学歴

1976 年 東北大学 工学部 電子工学科 卒業

1978 年 東北大学 工学研究科 修士課程修了

1997 年 東北大学 工学研究科 博士課程修了

学位 博士 (工学) 1997 年 東北大学

職歴

1978 年 松下電器産業株式会社入社

1998 年 半導体開発本部 GM

2003 年 東京工業大学 大学院工学研究科 電子物理工学専攻 教授

2010 年 (株) テックイデア創設 取締役

2018 年 3 月 東京工業大学を定年退職 東京工業大学名誉教授

2018 年 3 月 テックイデア 代表取締役社長

専門

アナログ集積回路, アナログ・デジタル混載集積回路, 高周波集積回路

ADC, DAC, PLL, デジタルリードチャネル, RFCMOS, LCD & EL driver, CMOS イメージセンサー, アナログテスト, ローパワーエレクトロニクス, アナデジ混載用 EDA など

代表的な開発例

世界初のビデオ用 10 ビット ADC (1982 年)

世界最小電力 CMOS 10bit 20MS/s ADC (1993 年)

世界初の DVD 用完全ワンチップアナ・デジ混載 SoC(2003 年)

このシリーズは 5.2 億個の出荷と 2500 億円の累積売り上げを記録した

世界最高速 60GHz CMOS トランシーバ LSI (2012 年)

発表

ジャーナル論文発表 : 115 件

国際会議発表 : 251 件

国内学会発表 : 272 件

著書 : 8 冊 (はじめてのアナログ電子回路 : 講談社など)

表彰

R&D 100Award (1994) ISSCC panel award (2003, 2005, 2015), IEEE Fellow (2002),

IEICE Fellow (2010), 文部科学大臣表彰 科学技術賞 (2017) など

委員など

IEICE 集積回路研究専門委員会委員長, IEEE SSCS Japan Chapter Chair, JIEP 副会長, IEEE elected Adcom, distinguished lecturer, ISSCC analog committee など



Abdel Martinez Alonso

研究技師（常勤）

国籍 キューバ

学歴

2008年 ホセアントニオ エケベリア工科大学 卒業

2012年 同大 電子システム工学専攻 修士課程終了

2018年 東京工業大学大学院 理工学研究科 博士課程修了

学位 博士（学術）2018年 東京工業大学

職歴

2008年～2014年：キューバ電気通信研究開発センター

- ・FPGAによるトランク無線システム
- ・CPLDによるDTMF電話会議コントロールユニットの開発設計
- ・FPGA技術による高速直接デジタル周波数シンセサイザー(DDFS)モジュールの開発設計
- ・デジタルビデオ放送 - 衛星 (DVB-S) 用DDFSの開発設計

2018年4月 (株) テックアイデア入社

専門

高速回路とアナログ・デジタル混載超大規模集積回路設計評価のデジタル回路設計技術

超高速直接デジタル周波数シンセサイザー(DDFS)設計技術

VHDL, Verilog, SPICE, FPGA およびスタセルを用いた論理設計に熟達

学術雑誌論文

- ・ Abdel Martinez Alonso, Masaya Miyahara and Akira Matsuzawa, "A 7GS/s Complete-DDFS-Solution in 65nm CMOS," IEICE Tran. on Electronics, Vol. E101-C, No. 4, pp.206-217, April 2018.他1件

国際会議発表

- ・ Abdel Martinez Alonso, Masaya Miyahara and Akira Matsuzawa, "A High-Speed DDFS MMIC with frequency, phase and amplitude modulations in 65nm CMOS," IEEE Asian Solid-State Circuits Conference (A-SSCC), Seoul, Korea, pp. 181-184, November 2017. 他4件

受賞

- ・ Excellent Student Paper Certificate of Honor, IEEE International Conference on ASIC (ASICON) 成都中国 2015年11月
- ・ Distinguished Design Award, IEEE Asian Solid-State Circuits Conference (A-SSCC) ソウル韓国 2017年11月

語学

スペイン語：母国語，英語：流暢（TOEIC 970点），日本語：聞いて理解できるレベル



余 力瀾 (Yu Lilan)

研究技師 (常勤)

国籍 中国

学歴

2009年 北京大学 工学部 電子工学科 卒業

2012年 同大 大学院 電子工学専攻 修士課程終了

2016年 東京工業大学大学院 理工学研究科 博士課程修了

学位 博士 (学術) 2016年 東京工業大学

職歴

2017年4月 (株) テックイデア入社

専門

アナログ・デジタル混載集積回路設計とくに高速 ADC, DAC 設計

開発経験

・A 9-bit 1.8-GS/s 44-mW Pipelined ADC using Linearized Open-Loop Amplifiers (65nm CMOS) 開ループ増幅器を用いて高速と高電力効率を実現。ADC の精度を 9-bit まで向上。オフチップ補正なしのパイプライン ADC の中で世界最小の FoM を達成。

・A 9-bit 500MS/s 6-mW Dynamic Pipelined ADC using Time-Domain Linearized Dynamic Amplifiers (65nm CMOS) ゲイン適応技術を用いた高線形性のダイナミックアンプを用いて低消費電力のダイナミックパイプライン ADC を実現。ダイナミックパイプライン ADC の中で世界最高の SNDR と FoMs を達成。

・A 6-bit 2.4-GS/s 18-mW Flash ADC (28nm CMOS) PVT 変化に対して比較器の比較時間を自動的に合わせる事ができる。2.4GS/s で $F_{in}=10\text{MHz}$ で $\text{SNDR}=32\text{dB}$, $F_{in}=1.2\text{GHz}$ で $\text{SNDR}=30\text{dB}$ 。

論文発表

・L. Yu, M. Miyahara, and A. Matsuzawa, "A 9-bit 1.8-GS/s 44-mW Pipelined ADC Using Linearized Open-Loop Amplifiers," IEEE Journal of Solid-State Circuits, vol. 51, no. 10, pp. 1-12, Oct. 2016. 他 1 件

国際会議発表

・L. Yu, M. Miyahara, and A. Matsuzawa, "A 9-bit 1.8-GS/s Pipelined ADC using Linearized Open-Loop Amplifiers," in Proc. Asian Solid-State Circuits Conf., pp. 9-11, Nov. 2015. 他 1 件

受賞

2016年 東京工業大学留学生研究賞 (博士論文)

語学

中国語：母国語, 英語：流暢, 日本語：日常会話ができる



成 民赫 (Minhyuk Sung)

研究技師補 (常勤)

国籍：韓国

学歴

B.S. in Electrical and Computer Engineering, Chungbuk National University,
Cheongju, Republic of Korea (2015.2)

職歴

2014—2017 Siliconworks as an Assistant Research Engineer in Korea

2017年9月 (株) テックイデア 入社

開発経験

- Anti-lock braking System (Automotive), TowerJazz 0.6um BCD process
- 1.2MHz, 2A Synchronous Buck converter with charge pump
- 500mA, High-Accuracy Low-Dropout regulator with heavy current protection
Design (architecture, circuit), Test, Performance Fail analysis, Vehicle test with
Hyundai, ETRI, Reliability as module level (ESD, EMI etc.)
- CAN transceiver (Automotive), X-fab 0.18um SOI process
- ±58V Fault Protected, 4Mbps, Low EMI Transceiver and Low Power Receiver
Design (architecture, circuit), Test, Performance & Fail analysis, Reliability as
chip level (ESD, EMI etc.)
- Battery management system (Automotive), X-fab 0.18um SOI process
- ON Sequence (Pre-regulator, 30ppm/°C BGR etc.)
Projection & alarm function, Test mode structure, Design (architecture, circuit)

スキル

Tool: Cadence(Virtuoso), Hspice, Matlab(Simulink), Verilog-A, Vivado, DC Complier

Measurement equipment: Oscilloscope, Spectrum analyzer, Microscope, ESD,
EMI(Electromagnetic interference), EMMI (Emission Microscope)

特許出願

Y.S. Kim, K.J. Back, M.H Sung, "Low-voltage operational transconductance amplifier with input
common-mode adapter", KR101596568B1, Feb. 2016

学会発表

M.H. Sung , Y.S Jang, Y.S. Kim, "Design of Current Mode Control Boost Converter with Fast
Transient Response", IEIE, No. 11, pp. 24-27, Nov. 2014.

M.H. Sung, J.D. Kim, S.Y Choi, Y.S. Kim, "Design of 0.5V Electro-cardiograph", JKICE, Vol. 20,
No. 7, pp. 1303-1310, Jul. 2016.

徐祖樂



アドバイザー (非常勤)

国籍 中国

学歴

2002 – 2006 (中国) 大連理工大学 卒業

2009 – 2011 東北大学大学院 修士課程修了

2011 – 2015 東京工業大学大学院 電子物理工学専攻 博士課程修了

学位 博士 (学術) 東京工業大学 (2015 年)

職歴

2006 – 2008 (中国) ハードウェア・エンジニア, Beijing Infomedia Co. Ltd.

音声レコーダーやミキシング・コンソールの開発に関わり、基板設計、マイコン・FPGA 上のファームウェア設計を担当。

2016 – 2018 東京理科大学 助教,

2017 年 4 月 テックイデア 研究員 (非常勤)

2018 年 4 月 東京大学 大規模集積システム設計教育研究センター (VDEC) 講師

専門

低ノイズ低消費電力 PLL、高分解能時間デジタル変換器 (TDC)、SAR-ADC

技能・経験

20 回以上のテープアウト経験 (CMOS 65nm, 90nm, 28nm など) カスタマイズ設計、および合成・自動配置の設計フローに熟練 Virtuoso, AMS Designer (verilog HDL, Verilog-A, Verilog AMS), Design Compiler, and IC Compiler, MATLAB/Simulink などのツールに熟練

論文発表

Z. Xu, M. Miyahara, K. Okada, and A. Matsuzawa, "A 3.6GHz Low-Noise Fractional-N Digital PLL Using SAR-ADC-Based TDC", IEEE J. of Solid-State Circuits (JSSC), Vol.51, pp. 2345-2356, Oct. 2016. 他 8 件

国際会議発表

Z. Xu, A. Firdauzi, M. Miyahara, K. Okada, and A. Matsuzawa, "A 2 GHz 3.1 mW Type-I Digital Ring-Based PLL", IEEE ESSCIRC, pp. 205-208, Lausanne, Switzerland, Sep. 2016. 他 9 件

受賞

2017 丹羽保次郎記念論文賞 (2017), IEEE CICC Student Scholarship Award(2013 年), IEEE NEWCAS Best Student Paper Award(2013 年), VDEC (VLSI Design and Education Center) デザインワード(2011 年)

委員

A-SSCC Data Converter TPC (2018~), IEICE-ICD 委員

語学: 中国語 母国語, 英語 堪能, 日本語 問題ないレベル

李 承鍾、イ スンジョン、Lee Seungjong

研究技師（非常勤）

国籍 韓国

学歴

2009年 東京工業大学 工学部 電気電子工学科 卒業

2013年 東京工業大学大学院 電子物理工学専攻 修士課程修了

2017- University of Michigan（博士課程在籍）



職歴

2013-2016 Siliconworks 社（韓国）

- ・ 12bit 50MSps SAR ADC – TSMC65nm：アーキテクチャ・回路・レイアウト設計
- ・ 94dB 100uA 3次 CT シグマデルタモジュレータ – TSMC40nm：アーキテクチャ・回路・レイアウト設計，フリッカノイズ対応用チョッパー込み 3段増幅器使用，LPE・ノイズ込みシミュレーションで 94dB 確認
- ・ 12bit 10MSps Pipeline ADC – Dongbu HiTek 180nm：回路設計，
- ・ Beta Multiplier 型および Brokaw-Cell 型バンドギャップリファレンス – Tower Jazz 0.5um BCD
回路設計，Beta Multiplier 型の場合、2次温度補正回路付き
- ・ 低電圧用バンドギャップリファレンス – IBM 130nm，回路・レイアウト設計，VDD=1.2V、Vref=0.6V
- ・ ADC 用リファレンスバッファ – Tower Jazz 0.5um BCD：回路設計
- ・ Low Drop Regulator（LDO） – Tower Jazz 0.5um BCD：回路設計

その他、電流検知、リードアウト回路などのアナログフロントエンド回路

特徴：上記の回路以外にも PLL や CT/DT 型フィルタなど、アナログ回路全般に幅広く経験をしています。幅広い経験を活かし、多様な未経験な回路に早く適応することができます。

国際学会発表

- ・ S. Lee, H. Kawaraguchi, T. Hirato, M. Miyahara, and A. Matsuzawa. (Sep. 2013) "A 12b 50/70 MS/s 2.2/4.6 mW 0.03mm² CMOS SAR ADC for a frequency, performance, and power scalable ADC." International Conference on Solid State Devices and Materials (SSDM)

語学：韓国語 母国語，英語（堪能），日本語（全く問題ないレベル）

宮原 正也

主任研究技師（非常勤）

1. 国籍 日本

2. 学歴・職歴

2001/3 木更津工業高等専門学校 電気工学科 卒業

2002/3 ソニーコンポーネント千葉（株） 退社

2004/3 木更津工業高等専門学校 専攻科 修了

2006/3 東京工業大学大学院理工学研究科 修士課程修了

2007/9 Intel@Communication Circuit Lab. Internship, Oregon, USA

2009/3 東京工業大学大学院理工学研究科 博士課程修了

2009/4 東京工業大学大学院理工学研究科 助教

2012/6 高エネルギー加速器研究機構 客員助教

2016/4 東京工業大学工学院電気電子系 助教

2017/4~ 高エネルギー加速器研究機構 素粒子原子核研究所 准教授
(文部科学省 卓越研究員)

3. 学位 博士（工学） 東京工業大学 2009年

4. 専門分野：アナログ・デジタル混載集積回路設計，特に微細 CMOS を用いた
データコンバータ設計

5. 代表的な研究開発例

● ミリ波無線通信用高速データコンバータの研究

近年スマートフォンなどのタブレット機器の高性能化に伴い、ユーザーの扱うデータ量が爆発的に増加しており、無線通信システムの更なる高速化が求められている。また、既存の無線通信システムでは帯域が枯渇しつつある。このような背景から従来用いられてこなかったミリ波帯を活用した無線システムを実現し、既存の無線システムよりも 100 倍程度高速なデータレートを達成することを目的としたプロジェクトに向けてデータコンバータを開発した。

(1) 近距離通信（距離 1m, 2.5Gbps）用 高速 ADC/DAC の研究

概要： 60GHz 帯のミリ波帯を用いた無線通信システムにおいて、1GHz の超広帯域で多値変調通信（QPSK~16QAM）を実現するための超高速 ADC を開発することを目的とし、回路技術を開発した。始めに ADC の重要な要素回路である低雑音比較器を開発し、従来型に比べて 1/9 の低雑音特性を実現した。また、その比較器を利用した時間領域折り返し型 Flash ADC を開発した。従来技術では電圧領域での演算を行い、これに定常電流の流れる増幅器を使用してきたが、電圧信号から遅延時間を持ったパルス信号に変換し、簡単なロジック回路でアナログ演算を行う手法を開発。7bit 2.2GS/s 28mW 動作を確認し、Flash 型 ADC として世界最高精度を達成した。



また、従来抵抗分圧によってアナログ演算が行われていた定常電流の流れない容量型 DAC を用いた 7bit 700MS/s Sub-ranging ADC を開発し、世界最小消費電力動作を達成した。これらの回路技術を用いることで、近距離無線通信システムとして 6.3Gbps を実現した。

成果物： 1.1V, 2.304GSps, 28mW 7bit ADC 及び 1.1V, 22mW, 3.456GSps, 6bit DAC
1.1V, 1GHz, 0-46dB Variable Gain Amplifier
1.2V, 700MSps, 7mW Sub-ranging ADC

(2) Fixed Wireless Access(距離数 km, 1Gbps)用 高精度・高速 ADC/DAC の研究

概要： 40GHz 帯のミリ波帯を用いた無線通信システムにおいて、100MHz の広帯域で多値変調通信 (QPSK~64QAM) を実現するための高精度・高速 ADC を開発した。従来技術ではアナログ演算で絶対精度を必要としていたが、相対精度で精度が決定される補間型パイプライン ADC を開発。増幅器の利得要求仕様を 70dB→12dB と劇的に緩和する画期的な変換方式である。10bit, 320MSps, 40mW 動作と世界トップクラスの低消費電力動作を達成し、この ADC を用いて無線通信システムとして 1km 以上で 1Gbps のデータレートを実現した。

成果物： 1.2V, 320MSps, 40mW, 10bit ADC 及び 1.2V, 800MSps, 20mW, 12bit DAC

国際会議発表： ISSCC 3 件、VLSI Circuits 1 件、A-SSCC3 件、その他国内会議
いずれの回路も SoC に搭載し、無線通信システムの開発に成功。

● 低電圧動作アナログ回路の研究

- (1) 低電圧動作に適したコンパレータキャリブレーション技術の開発
- (2) 低電圧環境下における高速動作アナログ要素技術の研究
- (3) 低電圧動作、高速 ADC の開発

概要： CMOS の微細化に伴い、扱える電源電圧は低下の一途をたどっており、低電源電圧でも安定に動作するアナログ回路の開発が求められている。10 年先の技術課題として、0.5V で動作するアナログ回路開発を行った。従来のダイナミック動作型の比較器オフセットの補償動作には、MOS 容量を用いた方式が用いられてきたが、電源電圧遅に伴いオフセットの補償範囲が著しく低下したため、ラッチ回路を開かせるタイミングを調整するオフセット補償方式を開発し、従来方式と比較して 3 倍以上の補正範囲を確保した。これを利用し、0.5V 動作として世界最高速度を実現している。

また、電源電圧の低下に伴い、通常の差動増幅器の信号振幅が著しく狭くなり、正常動作が見込めないことから、ダイナミック動作型の増幅器を開発した。この開発により、通常 3 段分のトランジスタの動作範囲が必要なところ、1 段分のみで動作可能となるようにし、低電圧動作でも利得と線形性を維持できることを確認した。また、

この回路を利用した 0.55V, 160MSps, 7bit Dynamic Interpolated Pipelined ADC の開発に成功した。

成果物：”0.5V, 600MSps, 1.2mW, 5bit Flash ADC”, “0.55V, 160MSps, 7bit Dynamic Interpolated Pipelined ADC”及び”7bit 0.5V, 750MSps, 1.4mW, 10bit DAC”

国際会議発表：A-SSCC1 件、CICC 1 件、SSDM2 件、その他国内会議

● ヘルスケアシステム用アナログ回路技術の研究

(1) 膀胱内圧無線測定用センサーテレメトリーLSI の開発

概要：現状、排尿疾患を抱える患者に対する医療行為として、カテーテルを用いて膀胱内部の圧力を測定するものがある。排尿時のデータを複数回取得する必要があるため、3日間ほど拘束される、または測定器具を取り付けるために自由が奪われるといった問題がある。そこで超小型のカプセル型膀胱内圧測定装置を患者の膀胱内に挿入し、無線で膀胱内圧データを体外に通信することで、患者の負担を極力軽減するためのシステムの開発を行った。システムの課題としては、小型のカプセル内には最小限のバッテリーしか搭載できないため、極力消費電力を抑えた設計が必須となる。そこで、測定膀胱内圧測定用 MEMS センサー読み取りのための極低消費電力容量-デジタル変換器を開発した。本方式は容量 DAC を用いた SAR ADC の応用であり、1.5V, 30Sps, 10bit, 4.5nW 動作を確認した。また、無線通信には磁気結合型を採用し、容量と通信用コイルとの共振現象を利用し、低電力で体外と無線通信する技術（通信距離 13.56MHz 帯、12cm, 40kbps, 30 μ W）を開発した。全体のシステム設計は大阪大学との共同研究によるものである。

成果物：1.5V, 30Sps, 10bit, 4.5nW 容量-デジタル変換器及び体内-体外無線通信システム

(2) 妊婦見守り用胎児心電モニタリングのための低雑音増幅器及び高精度 ADC の開発

概要：胎児の心電をモニタリングすることで、胎児の健康管理をするためのシステムを構築した。母体の心電と胎児の心電を切り分けるために高感度読み出し回路が必要であり、低雑音増幅器及び高精度 ADC を開発した。

成果物：1.8V, 10kHz 帯域, 16bit, $\Delta \Sigma$ ADC、1.8V, 300Hz 帯域, 2uVrms 入力換算雑音増幅器

国際会議発表：A-SSCC1 件、SSDM1 件、その他国内会議

● 素粒子原子核研究のための集積回路開発(65nm, 180nm)

(1) ピクセル内蔵のための超小型 ADC の開発

(2) ピクセル間ばらつきを補償するためのアナログ回路技術に関する研究

(3) 高精度高速 補間型パイプライン型 ADC の開発

概要：全てのピクセルに ADC を内蔵した粒子検出器を世界で初めて開発。20x20 ピクセル

粒子検出器によって粒子飛跡検出に成功した。0.2mm x 0.2mm 角のピクセルに ADC を収めるため、10MSps, 10bit, 0.0056mm² SAR ADC を開発した。全てのピクセルに ADC を内蔵することで、同時計測、高速読み出しに寄与した。また、高精度、高速読み出し回路のために、後述する補間技術を用いた 1.8V, 100MSps, 12bit Interpolated Pipeline ADC を開発している。

成果物：1.8V, 10MSps, 10bit, 0.0056mm² SAR ADC を各ピクセルに内蔵した検出器

1.8V, 100MSps, 12bit Interpolated Pipeline ADC

超広帯域 Trans-Impedance Amplifier (65nm)

Patch-Panel ASIC for ATLAS Experiments

国際会議発表：PIXEL International workshop 1 件, SSDM 2 件、その他国内会議

● IoT 社会実現に向けた超低消費電力センサーノードの研究(65nm)

(1) ノーマリーオフ・スケーラブル ADC の開発

(2) 高速起動水晶発振回路の開発

(3) 超低消費電力 RTC の開発

成果物：ナノワットで動作する 6-12bit 可変ノーマリーオフ ADC

超高速起動 (64 μ s) 26/40MHz 水晶発振回路

ナノワットで動作する RTC

国際会議発表：VLSI Circuit symposium 1 件(2018 年 発表予定)

6. 受賞・表彰

- [1] LSI とシステムのワークショップ ICD 優秀ポスターアワード, "医療用超低電力センサーテレメトリーLSI の開発" 2009.
- [2] 電子情報通信学会 集積回路研究会優秀若手研究ポスター賞, "医療用超低電力センサーテレメトリーLSI の開発" 2009.
- [3] LSI とシステムのワークショップ IEEE SSCS Kansai Chapter Academic Research Award, "A High Speed 400-pixels Readout LSI with 10-bit 10 MSps Pixel ADCs for Quasi-3D Particle Detectors", 2011.
- [4] 電子情報通信学会 集積回路研究会 若手研究会優秀ポスター賞, "補間型パイプライン ADC に用いる増幅器の精度向上の研究", 2012
- [5] LSI とシステムのワークショップ 最優秀ポスター賞(一般部門), "アナログ設計における人手レイアウト設計から自動レイアウト設計への変換方法", 2013.
- [6] IEEE/ACM ASP-DAC, Best Design Award, "A Dual-Loop injection-Locked PLL with All-Digital Background Calibration System for On-chip Clock Generation", 2014.
- [7] Abdel Martinez Alonso, Masaya Miyahara and Akira Matsuzawa, Student Design Contest, Distinguished Design Award, IEEE A-SSCC 2017, Nov. 2017.

- [8] Jian Pang, 眞木 翔太郎, 河合 誠太郎, 永島 典明, 瀬尾 有輝, 桂木 真希彦, 木村 健将, 近藤 智史, Hanli Liu, Teerachot Siriburanon, 金子 徹, 宮原 正也, 岡田 健一, 松澤 昭, IEICE ICD LSI とシステムのワークショップ 優秀ポスター賞, May 2017

7. 委員など

電子情報通信学会 システムと LSI ワークショップ 2014 実行委員 (2013.10～2015.5)

電子情報通信学会 アナログ RF 研究専門委員会 実行委員 (20013.4～現在)

電子情報通信学会 英文論文誌 C 編集委員 (2016.4～現在)

IEEE Asian Solid State Conference, Program Committee (2012.4～2017.11)

大学共同利用機関法人 高エネルギー加速器研究機構 客員助教 (2012.6～現在)

シミュレータを用いたアナログ集積回路設計 セミナー講師 (2010～現在、不定期開催)

IEEE 会員, 電子情報通信学会正会員

Akira Matsuzawa

松澤 昭

Honorary Professor; Tokyo Institute of Technology
President; Tech Idea Co., Ltd.,
2-28-10-403, Shimosakunobe, Takatu, Kawasaki, 213-0033, Japan
Tel/Fax: +81-44-857-6899, Email: matsu@techidea.co.jp



ACADEMIC DEGREE

Doctor of Engineering (Tohoku University, 1997)

EDUCATION

1996-1997 Tohoku University, Sendai, Japan. Ph.D. in Electronic Engineering.
1976-1978 Tohoku University, Sendai, Japan. M.Sc. in Electronic Engineering.
1971-1976 Tohoku University, Sendai, Japan. B.Sc. in Electronic Engineering.

ACADEMIC EXPERIENCE

2016-2018 Chair, Department of Electrical and Electronic Engineering
2015-2018 Director, Center for Innovative Teaching and Learning
2013-2018 Chair, Department of Physical Electronics
2012-2015 Director, The Center for Research and Development of Educational Technology
2011-2016 Director, Quantum Nano-Electronics Research Center
2003-2018 Full Professor, Tokyo Institute of Technology

INDUSTRY EXPERIENCE

2018-present President of Tech Idea Co., Ltd.,
2010-2018 Founder and director of Tech Idea Co., Ltd.,
1997-2003 General manager for advanced LSI Technology development center in Panasonic
1978-2003 Matsushita Electric Industrial Co., Ltd. (Panasonic)

RESEARCH INTEREST

Analog and mixed signal integrated circuit design
RF and millimeter wave integrated circuit design

AWARDS

1983 IR100 Award
1994 R&D100 Award and the Remarkable Invention Award
2002 IEEE Fellow Award
2003, 2005, 2015 ISSCC Evening Panel Award
2010 IEICE Fellow Award
2017 MEXT Science and Technology Award

PUBLICATIONS

International Journal Papers (selected) Total 115 papers

1. Rui Wu, Ryo Minami, Yuuki Tsukui, Seitaro Kawai, Yuuki Seo, Shinji Sato, Kento Kimura, Satoshi Kondo, Tomohiro Ueno, Nurul Fajri, Shoutarou Maki, Noriaki Nagashima, Yasuaki Takeuchi, Tatsuya Yamaguchi, Ahmed Musa, Korkut Kaan Tokgoz, Teerachot Siriburanon, Bangan Liu, Yun Wang, Jian Pang, Ning Li, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "64-QAM 60-GHz CMOS Transceivers for IEEE 802.11ad/ay," IEEE Journal of Solid-State Circuits, Vol. 52, No. 11, pp. 2871-2891, Nov. 2017.
2. Lilan Yu, Masaya Miyahara, and Akira Matsuzawa, "A 9-bit 1.8 GS/s 44 mW Pipelined ADC Using Linearized Open-Loop Amplifiers," IEEE Journal of Solid-State Circuits, Vol. 51, No. 10, pp. 2210-2221, Oct. 2016.
3. Zule Xu, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 3.6 GHz Low-Noise Fractional-N Digital PLL Using SAR-ADC-Based TDC," IEEE Journal of Solid-State Circuits, Vol. 51, No. 10, pp. 2345-2356, Oct. 2016.
4. Aravind Tharayil Narayanan, Makihiko Katsuragi, Kento Kimura, Satoshi Kondo, Korkut Kaan Tokgoz, Kengo Nakata, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A Fractional-N Sub-Sampling PLL using a Pipelined Phase-Interpolator With an FoM of -250 dB," IEEE Journal of Solid-State Circuits, Vol. 51, No. 7, pp. 1630-1640, July 2016.
5. Teerachot Siriburanon, Satoshi Kondo, Kento Kimura, Tomohiro Ueno, Satoshi Kawashima, Tohru Kaneko, Wei Deng, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 2.2 GHz -242 dB-FOM 4.2 mW ADC-PLL Using Digital Sub-Sampling Architecture," IEEE Journal of Solid-State Circuits, Vol. 51, No. 6, pp. 1385-1397, June 2016.
6. Seitaro Kawai, Shinji Sato, Shotaro Maki, Korkut Kaan Tokgoz, Kenichi Okada, and Akira Matsuzawa, "Accurate Transistor Modeling by Three-Parameter Pad Model for Millimeter-Wave CMOS Circuit Design," IEEE Transactions on Microwave Theory and Techniques, Vol. 64, No. 6, pp. 1736-1744, June 2016.
7. Teerachot Siriburanon, Satoshi Kondo, Makihiko Katsuragi, Hanli Liu, Kento Kimura, Wei Deng, Kenichi Okada, and Akira Matsuzawa, "A Low-Power Low-Noise mm-Wave Subsampling PLL Using Dual-Step-Mixing ILFD and Tail-Coupling Quadrature Injection-Locked Oscillator for IEEE 802.11ad," IEEE Journal of Solid-State Circuits, Vol. 51, No. 5, pp. 1246-1260, May 2016.
8. James Lin, Ibuki Mano, Masaya Miyahara, and Akira Matsuzawa, "Ultralow-Voltage High-Speed Flash ADC Design Strategy Based on FoM-Delay Product," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 23, No. 8, pp. 1518-1527, Aug. 2015.
9. James Lin, Daehwa Paik, Seungjong Lee, Masaya Miyahara, and Akira Matsuzawa, "An Ultra-Low-Voltage 160 MS/s 7 Bit Interpolated Pipeline ADC Using Dynamic Amplifiers," IEEE Journal of Solid-State Circuits, Vol. 50, No. 6, pp. 1399-1411, June 2015.
10. Ning Li, Kenichi Okada, Takeshi Inoue, Takuichi Hirano, Qinghong Bu, Aravind Tharayil Narayanan, Teerachot Siriburanon, Hitoshi Sakane, and Akira Matsuzawa, "High-Q Inductors on Locally Semi-Insulated Si Substrate by Helium-3 Bombardment for RF CMOS Integrated Circuits," IEEE Transactions on Electron Devices, Vol. 62, No. 4, pp. 1269-1275, April 2015.
11. Wei Deng, Dongsheng Yang, Tomohiro Ueno, Teerachot Siriburanon, Satoshi Kondo, Kenichi Okada, and Akira Matsuzawa, "A Fully Synthesizable All-Digital PLL With Interpolative Phase Coupled Oscillator, Current-Output DAC, and Fine-Resolution Digital Varactor Using Gated Edge Injection Technique," IEEE Journal of Solid-State Circuits, Vol. 50, No. 1, pp. 68-80, Jan. 2015.
12. Wei Deng, Shoichi Hara, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A Compact and Low-Power Fractionally Injection-Locked Quadrature Frequency Synthesizer Using a Self-Synchronized Gating Injection Technique for Software-Defined Radios," IEEE Journal of Solid-State Circuits, Vol. 49, No. 9, pp. 1984-1994, Sept. 2014.
13. Ahmed Musa, Wei Deng, Teerachot Siriburanon, Masaya Miyahara, Kenichi Okada, and Akira

- Matsuzawa, "A Compact, Low Power and Low Jitter Dual-Loop Injection Locked PLL Using All-Digital PVT Calibration," IEEE Journal of Solid-State Circuits, Vol. 49, No. 1, pp. 50-60, Jan. 2014.
14. Wei Deng, Teerachot Siriburanon, Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "A Sub-Harmonic Injection-Locked Quadrature Frequency Synthesizer with Frequency Calibration Scheme for Millimeter-Wave TDD Transceivers," IEEE Journal of Solid-State Circuits, Vol. 48, No. 7, pp. 1710-1720, July 2013.
 15. Ahmed Musa, Kenichi Okada, and Akira Matsuzawa, "Progressive Mixing Technique to Widen the Locking Range of High Division-Ratio Injection-Locked Frequency Dividers," IEEE Transactions on Microwave Theory and Techniques, Vol. 61, No. 3, pp. 1161-1173, March 2013.
 16. Wei Deng, Kenichi Okada, and Akira Matsuzawa, "Class-C VCO With Amplitude Feedback Loop for Robust Start-Up and Enhanced Oscillation Swing," IEEE Journal of Solid-State Circuits, Vol. 48, No. 2, pp. 429-440, Feb. 2013.
 17. Kenichi Okada, Keitarou Kondou, Masaya Miyahara, Masashi Shinagawa, Hiroki Asada, Ryo Minami, Tatsuya Yamaguchi, Ahmed Musa, Yuuki Tsukui, Yasuo Asakura, Shinya Tamonoki, Hiroyuki Yamagishi, Yasufumi Hino, Takahiro Sato, Hironori Sakaguchi, Naoki Shimasaki, Toshihiko Ito, Yasuaki Takeuchi, Ning Li, Qinghong Bu, Rui Murakami, Keigo Bunsen, Kota Matsushita, Makoto Noda, and Akira Matsuzawa, "Full Four-Channel 6.3-Gb/s 60-GHz CMOS Transceiver With Low-Power Analog and Digital Baseband Circuitry," IEEE Journal of Solid-State Circuits, Vol. 48, No. 1, pp. 46-65, Jan. 2013.
 18. Kenichi Okada, Ning Li, Kota Matsushita, Keigo Bunsen, Rui Murakami, Ahmed Musa, Takahiro Sato, Hiroki Asada, Naoki Takayama, Shogo Ito, Win Chaivipas, Ryo Minami, Tatsuya Yamaguchi, Yasuaki Takeuchi, Hiroyuki Yamagishi, Makoto Noda, and Akira Matsuzawa, "A 60-GHz 16QAM/8PSK/QPSK/BPSK Direct-Conversion Transceiver for IEEE802.15.3c," IEEE Journal of Solid-State Circuits, Vol. 46, No. 12, pp. 2988-3004, Dec. 2011.
 19. Ahmed Musa, Rui Murakami, Takahiro Sato, Win Chaivipas, Kenichi Okada, and Akira Matsuzawa, "A Low Phase Noise Quadrature Injection Locked Frequency Synthesizer for MM-Wave Applications," IEEE Journal of Solid-State Circuits, Vol. 46, No. 11, pp. 2635-2649, Nov. 2011.
 20. Kazuo Matsukawa, Yosuke Mitani, Masao Takayama, Koji Obata, Shiro Dosho, and Akira Matsuzawa, "A Fifth-Order Continuous-Time Delta-Sigma Modulator With Single-Opamp Resonator," IEEE Journal of Solid-State Circuits, Vol. 45, No. 4, pp. 697-706, April 2010.
 21. Akira Matsuzawa, Invited, "Design Challenges of Analog-to-Digital Converters in Nanoscale CMOS", IEICE Transactions on Electronics, Vol. E90-C, No. 4, pp. 779-785, April 2007.
 22. Akira Matsuzawa, Invited, "Analog IC Technologies for Future Wireless Systems", IEICE Transactions on Electronics, Vol. E89-C, No. 4, pp. 446-454, April 2006.
 23. Shiro Dosho, Naoshi Yanagisawa, and Akira Matsuzawa, "A Background Optimization Method for PLL by Measuring Phase Jitter Performance," IEEE Journal of Solid-State Circuits, Vol. 40, No. 4, pp. 941-950, April 2005.
 24. Akira Matsuzawa, Invited, "Mixed Signal SoC Era," IEICE Transactions on Electronics, Vol. E87-C, No. 6, pp. 867-877, June 2004.
 25. Koji Okamoto, Takashi Morie, Akira Yamamoto, Kouichi Nagano, Koji Sushihara, Hiroyuki Nakahira, Ryusuke Horibe, Kazutoshi Aida, Toshihiko Takahashi, Minoru Ochiai, Akinobu Soneda, Toru Kakiage, Tamaki Iwasaki, Hiroshi Taniuchi, Tadashi Shibata, Takahiro Ochi, Masao Takiguchi, Takashi Yamamoto, Tadayoshi Seike, and Akira Matsuzawa, "A Fully Integrated 0.13- μ m CMOS Mixed-Signal SoC for DVD Player Applications," IEEE Journal of Solid-State Circuits, Vol. 38, No. 11, pp. 1981-1991, Nov. 2003.
 26. Shoji Kawahito, Dwi Handoko, Yoshiaki Tadokoro, Akira Matsuzawa, "Low-Power Motion Vector Estimation Using Iterative Search Block-Matching Methods and a High-Speed Non-Destructive CMOS Image Sensor," IEEE Transactions on Circuits and Systems for Video Technology, Vol. 12, No. 12, pp. 1084- 1092, Dec. 2002.
 27. Akira Matsuzawa, Invited, "RF-SoC-Expectations and Required Conditions," IEEE Transactions on

- Microwave Theory and Techniques, Vol. 50, No. 1, pp. 245-253, Jan. 2002.
28. Shoji Kawahito, Makoto Yoshida, Masaaki Sasaki, Keiji Umehara, Daisuke Miyazaki, Yoshiaki Tadokoro, Kenji Murata, Shirou Doushou, Akira Matsuzawa, "A CMOS Image Sensor with Analog Two-Dimensional DCT-Based Compression Circuits for One-Chip Cameras," IEEE Journal of Solid-State Circuits, Vol. 32, No. 12, pp. 2030-2041, Dec. 1997.
 29. Akira Matsuzawa, Invited, "Low-Voltage and Low-Power Circuit Design for Mixed Analog/Digital Systems in Portable Equipment," IEEE Journal of Solid-State Circuits, Vol. 29, No. 4, pp. 470-480, April 1994.
 30. Keiichi Kusumoto, Akira Matsuzawa, Kenji Murata, "A 10-b 20-MHz 30-mW Pipelined Interpolating CMOS ADC," IEEE Journal of Solid-State Circuits, Vol. 28, No. 12, pp. 1200-1206, Dec. 1993.
 31. Hiroshi Kimura, Akira Matsuzawa, Takashi Nakamura, Shigeki Sawada, "A 10-b 300-MHz Interpolated-Parallel A/D Converter," IEEE Journal of Solid-State Circuits, Vol. 28, No. 4, pp. 438-446, April 1993.
 32. Michihiro Inoue, Akira Matsuzawa, Akihiro Kanda, Hideaki Sadamatsu, "Self-Aligned Complementary Bipolar Transistors Fabricated with a Selective-Oxidation Mask," IEEE Transactions on Electron Devices, Vol. 34, No. 10, pp. 2146-2152, Oct. 1987.
 33. Michihiro Inoue, Hideaki Sadamatsu, Akira Matsuzawa, Akihiro Kanda, Toyoki Takemoto, "A Monolithic 8-Bit A/D Converter with 120 MHz Conversion Rate," IEEE Journal of Solid-State Circuits, Vol. 19, No. 6, pp. 837-841, Dec. 1984.
 34. Toyoki Takemoto, Michihiro Inoue, Hideaki Sadamatsu, Akira Matsuzawa, Kazuhiko Tsuji, "A Fully Parallel 10-Bit A/D Converter with Video Speed," IEEE Journal of Solid-State Circuits, Vol. 17, No. 6, pp. 1133-1138, Dec. 1982.

4 other Journal Papers in Japanese

International Conference Papers (Selected) Total 251 papers

1. Korkut K. Tokgoz, Shotaro Maki, Jian Pang, Noriaki Nagashima, Ibrahim Abdo, Seitaro Kawai, Takuya Fujimura, Yoichi Kawano, Toshihide Suzuki, Taisuke Iwai, Kenichi Okada, Akira Matsuzawa, "A 120Gb/s 16QAM CMOS Millimeter-Wave Wireless Transceiver," IEEE International Solid-State Circuits Conference (ISSCC), 9.6, pp. 168-169, San Francisco, CA, USA, Feb. 2018.
2. Hanli Liu, Dexian Tang, Zheng Sun, Wei Deng, Huy Cu Ngo, Kenichi Okada, Akira Matsuzawa, "A 0.98mW Fractional-N ADPLL Using 10b Isolated Constant-Slope DTC with FOM of -246dB for IoT Applications in 65nm CMOS," IEEE International Solid-State Circuits Conference (ISSCC), 15.1, pp. 246-247, San Francisco, CA, USA, Feb. 2018.
3. Hanli Liu, Zeng Sun, Dexian Tang, Hongye Huang, Tohru Kaneko, Wei Deng, Rui Wu, Kenichi Okada, Akira Matsuzawa, "An ADPLL-Centric Bluetooth Low-Energy Transceiver with 2.3mW Interference-Tolerant Hybrid-Loop Receiver and 2.9mW Single-Point Polar Transmitter in 65nm CMOS," IEEE International Solid-State Circuits Conference (ISSCC), 28.2, pp. 444-445, San Francisco, CA, USA, Feb. 2018.
4. Aravind Tharayil Narayanan, Ning Li, Kenichi Okada, and Akira Matsuzawa, "A Pulse-Tail-Feedback VCO Achieving FoM of 195dBc/Hz with Flicker Noise Corner of 700Hz," Symposium on VLSI Circuits, C10-1, pp. C124-C125, Kyoto, Japan, June 2017.
5. Yun Wang, Bangan Liu, Hanli Liu, Aravind Tharayil Narayanan, Jian Pang, Ning Li, Torn Yoshioka, Yuki Terashima, Haosheng Zhang, Dexian Tang, Makihiko Katsuragi, Daeyoung Lee, Sungtae Choi, Rui Wu, Kenichi Okada, and Akira Matsuzawa, "A 100mW 3.0 Gb/s Spectrum Efficient 60 GHz Bi-Phase OOK CMOS Transceiver," Symposium on VLSI Circuits, C23-1, pp. C298-C299, Kyoto, Japan, June 2017.

6. Masaya Miyahara and Akira Matsuzawa, "An 84 dB Dynamic Range 62.5-625 kHz Bandwidth Clock-Scalable Noise-Shaping SAR ADC with Open-Loop Integrator Using Dynamic Amplifier," IEEE Custom Integrated Circuits Conference (CICC), Austin, TX, USA, May 2017.
7. Huy Cu Ngo, Kengo Nakata, Toru Yoshioka, Yuki Terashima, Kenichi Okada, and Akira Matsuzawa, "A 0.42ps-Jitter -241.7dB-FOM Synthesizable Injection-Locked PLL with Noise-Isolation LDO," IEEE International Solid-State Circuits Conference (ISSCC), 8.5, pp. 150-151, San Francisco, CA, USA, Feb. 2017.
8. Jian Pang, Shotaro Maki, Seitarou Kawai, Noriaki Nagashima, Yuuki Seo, Masato Dome, Hisashi Kato, Makihiko Katsuragi, Kento Kimura, Satoshi Kondo, Yuki Terashima, Hanli Liu, Teerachot Siriburanon, Aravind Tharayil Narayanan, Nurul Fajri, Tohru Kaneko, Toru Yoshioka, Bangan Liu, Yun Wang, Rui Wu, Ning Li, Korkut Kaan Tokgoz, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 128-QAM 60GHz CMOS Transceiver for IEEE802.11ay with Calibration of LO Feedthrough and I/Q Imbalance," IEEE International Solid-State Circuits Conference (ISSCC), 24.9, pp. 424-425, San Francisco, CA, USA, Feb. 2017.
9. Korkut K. Tokgoz, Shotaro Maki, Seitaro Kawai, Noriaki Nagashima, Jun Emmei, Masato Dome, Hisashi Kato, Jian Pang, Yoichi Kawano, Toshihide Suzuki, Taisuke Iwai, Yuuki Seo, Kimsrun Lim, Shinji Sato, Li Ning, Kengo Nakata, Kenichi Okada, and Akira Matsuzawa, "A 56Gb/s W-Band CMOS Wireless Transceiver," IEEE International Solid-State Circuits Conference (ISSCC), 13.3, pp. 242-243, San Francisco, CA, USA, Jan.-Feb. 2016.
10. Rui Wu, Seitaro Kawai, Yuuki Seo, Nurul Fajri, Kento Kimura, Shinji Sato, Satoshi Kondo, Tomohiro Ueno, Teerachot Siriburanon, Shoutarou Maki, Bangan Liu, Yun Wang, Noriaki Nagashima, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 42Gb/s 60GHz CMOS Transceiver for IEEE 802.11ay," IEEE International Solid-State Circuits Conference (ISSCC), 13.6, pp. 248-249, San Francisco, CA, USA, Jan.-Feb. 2016.
11. Zhijie Chen, Masaya Miyahara, and Akira Matsuzawa, "A 9.35-ENOB, 14.8 fJ/conv.-step Fully-Passive Noise-Shaping SAR ADC," Symposium on VLSI Circuits, 3-4, pp. C64-C65, Kyoto, Japan, June 2015.
12. Wei Deng, Dongsheng Yang, Aravind Tharayil Narayanan, Kengo Nakata, Teerachot Siriburanon, Kenichi Okada, and Akira Matsuzawa, "A 0.048mm² 3mW Synthesizable Fractional-N PLL with a Soft Injection-Locking Technique," IEEE International Solid-State Circuits Conference (ISSCC), 14.1, pp. 252-253, San Francisco, CA, USA, Feb. 2015.
13. Rui Wu, Seitaro Kawai, Yuuki Seo, Kento Kimura, Shinji Sato, Satoshi Kondo, Tomohiro Ueno, Nurul Fajri, Shoutarou Maki, Noriaki Nagashima, Yasuaki Takeuchi, Tatsuya Yamaguchi, Ahmed Musa, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "An HCI-Healing 60GHz CMOS Transceiver," IEEE International Solid-State Circuits Conference (ISSCC), 19.5, pp. 350-351, San Francisco, CA, USA, Feb. 2015.
14. Teerachot Siriburanon, Satoshi Kondo, Kento Kimura, Tomohiro Ueno, Satoshi Kawashima, Tohru Kaneko, Wei Deng, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 2.2GHz -242dB-FOM 4.2mW ADC-PLL Using Digital Sub-Sampling Architecture," IEEE International Solid-State Circuits Conference (ISSCC), 25.2, pp. 440-441, San Francisco, CA, USA, Feb. 2015.
15. Wei Deng, Dongsheng Yang, Tomohiro Ueno, Teerachot Siriburanon, Satoshi Kondo, Kenichi Okada, and Akira Matsuzawa, "A 0.0066mm² 780μW Fully Synthesizable PLL with a Current-Output DAC and an Interpolative Phase-Coupled Oscillator Using Edge-Injection Technique," IEEE International Solid-State Circuits Conference (ISSCC), 15.1, pp. 266-267, San Francisco, CA, USA, Feb. 2014.
16. Kenichi Okada, Ryo Minami, Yuuki Tsukui, Seitaro Kawai, Yuuki Seo, Shinji Sato, Satoshi Kondo, Tomohiro Ueno, Yasuaki Takeuchi, Tatsuya Yamaguchi, Ahmed Musa, Rui Wu, Masaya Miyahara, and Akira Matsuzawa, "A 64-QAM 60GHz CMOS Transceiver with 4-Channel Bonding," IEEE International Solid-State Circuits Conference (ISSCC), 20.3, pp. 346-347, San Francisco, CA, USA, Feb. 2014.

17. Masaya Miyahara, Ibuki Mano, Masaaki Nakayama, Kenichi Okada, and Akira Matsuzawa, "A 2.2GS/s 7b 27.4mW Time-Based Folding-Flash ADC with Resistively Averaged Voltage-to-Time Amplifiers," IEEE International Solid-State Circuits Conference (ISSCC), 22.6, pp. 388-389, San Francisco, CA, USA, Feb. 2014.
18. Wei Deng, Ahmed Musa, Teerachot Siriburanon, Masaya Miyahara, Kenichi Okada, and Akira Matsuzawa, "A 0.022 mm² 970 μ W Dual-Loop Injection-Locked PLL with 243 dB FOM Using Synthesizable All-Digital PVT Calibration Circuits," IEEE International Solid-State Circuits Conference (ISSCC), pp. 248-249, San Francisco, CA, USA, Feb. 2013.
19. Akira Matsuzawa, Invited, "Analog and RF circuits design and future devices interaction," IEEE International Electron Devices Meeting (IEDM), San Francisco, USA, Dec. 2012.
20. Kenichi Okada, Keitarou Kondou, Masaya Miyahara, Masashi Shinagawa, Hiroki Asada, Ryo Minami, Tatsuya Yamaguchi, Ahmed Musa, Yuuki Tsukui, Yasuo Asakura, Shinya Tamonoki, Hiroyuki Yamagishi, Yasufumi Hino, Takahiro Sato, Hironori Sakaguchi, Naoki Shimasaki, Toshihiko Ito, Yasuaki Takeuchi, Ning Li, Qinghong Bu, Rui Murakami, Keigo Bunsen, Kota Matsushita, Makoto Noda, Akira Matsuzawa, "A Full 4-Channel 6.3Gb/s 60GHz Direct-Conversion Transceiver With Low-Power Analog and Digital Baseband Circuitry," IEEE International Solid-State Circuits Conference (ISSCC), pp.218-219, San Francisco, CA, Feb. 2012.
21. Masaya Miyahara, Hyunui Lee, Daehwa Paik, and Akira Matsuzawa, "A 10b 320 MS/s 40 mW Open-Loop Interpolated Pipeline ADC," IEEE Symposium on VLSI Circuits, Kyoto, Japan, pp. 126-127, June 2011.
22. James Lin, Masaya Miyahara, and Akira Matsuzawa, "A 15.5 dB, Wide Signal Swing, Dynamic Amplifier Using a Common-Mode Voltage Detection Technique," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 21-24, Rio de Janeiro, Brazil, May 2011.
23. Kenichi Okada, Kota Matsushita, Keigo Bunsen, Rui Murakami, Ahmed Musa, Takahiro Sato, Hiroki Asada, Naoki Takayama, Ning Li, Shogo Ito, Win Chaivipas, Ryo Minami, and Akira Matsuzawa, "A 60-GHz 16QAM/8PSK/QPSK/BPSK Direct-Conversion Transceiver for IEEE802.15.3c," IEEE International Solid-State Circuits Conference (ISSCC), pp.160-161, San Francisco, CA, Feb. 2011.
24. Akira Matsuzawa, Invited, "Make the Low Voltage ADC/DAC Energy Efficient," IEEE International Solid-State Circuits Conference (ISSCC) Forum, San Francisco, CA, Feb. 2011.
25. Akira Matsuzawa, Invited, "An Ultra-Low-Power Analog and ADC Circuit," IEEE International Solid-State Circuits Conference (ISSCC) Forum, pp. 518-519, San Francisco, CA, Feb. 2010.
26. Kenichi Okada, You Nomiyama, Rui Murakami, and Akira Matsuzawa, "A 0.114-mW Dual-Conduction Class-C CMOS VCO with 0.2-V Power Supply," IEEE Symposium on VLSI Circuits, pp.228-229, Kyoto, June 2009.
27. Miyahara, M.; Asada, Y.; Daehwa Paik; Matsuzawa, A. "A low-noise self-calibrating dynamic comparator for high-speed ADCs," IEEE Asian Solid-State Circuits Conference, pp.269-272, 3-5 Nov. 2008.
28. Matsuzawa, A., Keynote, "A new direction in integrated circuit technology," Circuits and Systems, 2007. MWSCAS 2007. 50th Midwest Symposium, pp.1550-1551, 5-8 Aug. 2007.
29. A. Matsuzawa, Keynote, "Mixed signal SoC: A new technology driver in LSI industry" ISCAS 2003, Bangkok, May 2003.
30. Okamoto, K.; Morie, T.; Yamamoto, A.; Nagano, K.; Sushihara, K.; Nakahira, H.; Horibe, R.; Aida, K.; Takahashi, T.; Ochiai, M.; Soneda, A.; Kakiage, T.; Iwasaki, T.; Taniuchi, H.; Shibata, T.; Ochi, T.; Takiguchi, M.; Yamamoto, T.; Seike, T.; Matsuzawa, A., "A fully-integrated 0.13 μ m CMOS mixed-signal SoC for DVD player applications," IEEE International Solid-State Circuits Conference (ISSCC), 9-13, pp. 38- 476, San Francisco, CA, Feb. 2003.
31. Yamamoto, A.; Nakahira, H.; Takahashi, T.; Yamamoto, T.; Matsuzawa, A., "A 500 MHz 50 mW Viterbi detector for DVD systems using simplified ACS and new path memory architecture," Symposium on VLSI Circuits, pp. 256- 259, Jun 2002.

32. Sushihara, K.; Matsuzawa, A.; , "A 7b 450MSample/s 50mW CMOS ADC in 0.3mm²," IEEE International Solid-State Circuits Conference (ISSCC), pp.170-175, San Francisco, CA, Feb 2002.
33. Gotoh, S.; Takahashi, T.; Irie, K.; Ohshima, K.; Mimura, N.; Aida, K.; Maeda, T.; Yamamoto, T.; Sushihara, K.; Okamoto, Y.; Tai, Y.; Nakajima, T.; Usui, M.; Ochi, T.; Komichi, K.; Matsuzawa, A.; , "A mixed-signal 0.18 μ m CMOS SOC for DVD systems with 432 MS/s PRML read channel and 16 Mb embedded DRAM," IEEE International Solid-State Circuits Conference (ISSCC), pp.182-183, San Francisco, CA, Feb 2001.
34. Handoko, D.; Kawahito, S.; Takokoro, Y.; Kumahara, M.; Matsuzawa, A.; , "A CMOS image sensor for focal-plane low-power motion vector estimation," Symposium on VLSI Circuits, pp.28-29, Jun 2000.
35. Sushihara, K.; Kimura, H.; Okamoto, Y.; Nishimura, K.; Matsuzawa, A.; , "A 6 b 800 MSample/s CMOS A/D converter," IEEE International Solid-State Circuits Conference (ISSCC), pp.428-429, San Francisco, CA, Feb 2000.
36. Sakiyama, S.; Kajiwara, J.; Kinoshita, M.; Satomi, K.; Ohtani, K.; Matsuzawa, A.; , "An on-chip high-efficiency and low-noise DC/DC converter using divided switches with current control technique," IEEE International Solid-State Circuits Conference (ISSCC), pp.156-157, San Francisco, CA, Feb 1999.
37. Sakiyama, S.; Nakahira, H.; Fukuda, M.; Yamamoto, A.; Kinoshi, M.; Matsuzawa, A.; Yamamoto, H.; Kato, Y.; Matsuya, Y.; Mutoh, S.; Fukuda, H.; Nishino, Y.; Sakurai, T.; , "A Lean Power Management technique: the lowest power consumption for the given operating speed of LSIs," Symposium on VLSI Circuits, pp.99-100, Jun 1997.
38. Kawahito, S.; Yoshida, M.; Sasaki, M.; Umehara, K.; Tadokoro, Y.; Murata, K.; Doushod, S.; Matsuzawa, A.; , "A compressed digital output CMOS image sensor with analog 2-D DCT processors and ADC/quantizer," IEEE International Solid-State Circuits Conference (ISSCC), pp.184-185, 8 San Francisco, CA, Feb 1997.
39. Iwata, T.; Yamauchi, H.; Akamatsu, H.; Terada, Y.; Matsuzawa, A.; , "Gate-over-driving CMOS architecture for 0.5 V single-power-supply-operated devices," IEEE International Solid-State Circuits Conference (ISSCC), pp.290-291, San Francisco, CA, Feb 1997.
40. Yamauchi, H.; Iwata, T.; Akamatsu, H.; Matsuzawa, A.; , "A 0.8 V/100 MHz/sub-5 mW-operated mega-bit SRAM cell architecture with charge-recycle offset-source driving (OSD) scheme," Symposium on VLSI Circuits, pp.126-127, Jun 1996.
41. Akamatsu, H.; Iwata, T.; Yamamoto, H.; Hirata, T.; Yamauchi, H.; Kotani, H.; Matsuzawa, A.; , "A low power data holding circuit with an intermittent power supply scheme for sub-1V MT-CMOS LSIs," Symposium on VLSI Circuits, pp.14-15, Jun 1996.
42. Matsuzawa, A.; Invited, "Low voltage mixed analog/digital circuit design for portable equipment," Symposium on VLSI Circuits, pp. 49- 54, May 1993.
43. Kusumoto, K.; Murata, K.; Matsuzawa, A.; Tada, S.; Maruyama, M.; Oka, K.; Konishi, H.; , "A 10 b 20 MHz 30 mW pipelined interpolating CMOS ADC," IEEE International Solid-State Circuits Conference (ISSCC), pp.62-63, San Francisco, CA, Feb 1993.
44. Kimura, H.; Matsuzawa, A.; Nakamura, T.; Sawada, S.; , "A 10 b 300 MHz interpolated-parallel A/D converter," Symposium on VLSI Circuits, pp.94-95, Jun 1992.
45. Matsuzawa, A.; Kitagawa, Y.; Hidaka, I.; Sawada, S.; Kagawa, M.; Kanoh, M.; , "An 8b 600MHz flash A/D converter with multistage duplex gray coding," Symposium on VLSI Circuits, pp.113-114, Jun 1991.
46. Matsuzawa, A.; Nakashima, S.; Hidaka, I.; Sawada, S.; Kodaka, H.; Shimada, S.; , "A 6b 1GHz Dual-parallel A/D Converter," IEEE International Solid-State Circuits Conference (ISSCC), pp.174-311, San Francisco, CA, Feb. 1991.
47. Matsuzawa, A.; Kagawa, M.; Kanoh, M.; Tada, S.; Nakashima, S.; Tatehara, K.; Shimizu, K.; , "A 10 b 10 MHz triple-stage Bi-CMOS A/D converter," Symposium on VLSI Circuits, pp.35-36, Jun 1990.

48. Matsuzawa, A.; Kagawa, M.; Kanoh, M.; Tatehara, K.; Yamaoka, T.; Shimizu, K.; , "A 10 b 30 MHz two-step parallel BiCMOS ADC with internal S/H," IEEE International Solid-State Circuits Conference (ISSCC), pp.162-163, San Francisco, CA, Feb. 1990.
49. Inoue, M.; Matsuzawa, A.; Sadamatsu, H.; Kanda, A.; Takemoto, T.; , "An 8b monolithic ADC," IEEE International Solid-State Circuits Conference (ISSCC), pp. 296- 297, San Francisco, CA, Feb 1984.

272 other Conference Papers in Japanese

Books Total 9 books

1. Akira Matsuzawa, "A 1st Course in Analog Electric Circuit; Part Practical circuit," (in Japanese) Kodansha, ISBN 978-4-06-156545-6, Oct. 2016.
2. Akira Matsuzawa, (eds.) "Current Millimeter-Wave Technology," (in Japanese), CMC publisher, ISBN978-4-7813-1078-7, July 2015.
3. Akira Matsuzawa, "A 1st Course in Analog Electric Circuit; Part Basic Circuit," (in Japanese) Kodansha, ISBN 978-4-06-156535-7, March. 2015.
4. Akira Matsuzawa, "Applied Analog Electric Circuit," (in Japanese), The Institute of Electrical Engineers of Japan, ISBN 978-4-88686-293-8, June. 2014.
5. Kunihiko Asada, Akira Matsuzawa, (eds.) "Analog and RF CMOS Integrated Circuit Design, Advanced," (in Japanese) Baifukan, ISBN 9784563067670, Feb. 2011.
6. Akira Matsuzawa, "Analog and RF CMOS Integrated Circuit Design, Basic," (in Japanese) Baifukan, ISBN 9784563067663, Jan. 2010.
7. Akira Matsuzawa, "Basic Electronic Circuits," (in Japanese), The Institute of Electrical Engineers of Japan, ISBN 9784886862761, Nov. 2009.
8. Takayasu Sakurai, Akira Matsuzawa, Takakuni Douseki, "Fully-Depleted SOI CMOS Circuits and Technology for Ultralow-Power Applications," Springer, ISBN 9780387292175, April 2006.

ADDITIONAL INFORMATION

Organizing Committee, IEEE ISSCC Student Research Preview, 2010-2016

JSAP Executive Committee, 2008-2016

IEEE ISIC Technical Program Committee, 2009, 2014

IEEE EDAPS 2013 Executive Committee, 2012-2013

IEEE RFIC 2011 Technical Program Committee, 2011-2012

IEICE ELEX Best Award Selection Committee, 2011-2012

Chairman, IEICE Technical/General Conference Executive Committee, 2011-2012

Manager, IEICE Technical/General Conference Executive Committee, 2010-2011

IEEE EDSSC 2011 Technical Program Committee, 2011

IEEE ISIC 2011 International Advisory Committee, 2011

Chairman, IEEE Solid-State Circuits Society (SSCS) Japan Chapter, 2009-2010

Vice President, Japan Institute of Electronics Packaging (JIEP), 2008-2010

IEEE/EDS VLSI Technology and Circuits Committee, 2005-2010

IEEE ISSCC Student Forum Committee, 2009

GSMM 2009 Technical Program Committee, 2009

IEEE ISIC Technical Program Committee, 2009, 2014

Tech Idea Co., Ltd.,

Chairman, The IEICE Electronics Society Technical Committee on Integrated Circuits and Devices (ICD), 2007-2009

IEEE A-SSCC Educational Program Chairman, 2006-2009

General and Program Chairman, Symposium on Digitally Assisted Analog and RF Circuit Design, 2008

Vice Chairman, IEEE Solid-State Circuits Society (SSCS) Japan Chapter, 2007-2008

IEEE SSCS Distinguished Lecturer, 2007-2008

IEEE SSCS Elected Adcom, 2006-2008

IEEE SSCS Donald O. Pederson Award Committee, 2005-2008

Editor in Chief, IEICE Transactions on Electronics, C, 1992, 1997, 2003, 2005

IEEE/ACM ASP-DAC 2003 Session Chairman, 2002-2003

Guest Editor, Special issues of IEEE Transactions on Electron Devices, "Device Integration Technology for Mixed-Signal SOC," 2001-2003

IEEE ISSCC US Program Committee, 2001-2003

IEEE ISSCC Far East Program Committee, 2001-2003

Guest Editor, IEEE ED, 2001-2002

Sub-committee Chairman, SSDM "System-Level Integration and Packaging Technologies", 1999-2001

Vice Program Chairman, International Conference on Solid State Devices and Materials (SSDM), 1999-2000

Committee of Standardization of IEEE1149.4, 1996-1998

Co-Chairman, IEEE Low Power Electronics Workshop, 1995